

PATENT  
8017-1111

IN THE U.S. PATENT AND TRADEMARK OFFICE

In re application of: Akira MATSUMOTO et al.  
Conf.:  
Appl. No.: NEW NON-PROVISIONAL  
Group:  
Filed: November 19, 2003  
Examiner:  
Title: SEMICONDUCTOR DEVICE AND METHOD OF  
FABRICATING SEMICONDUCTOR DEVICE WITH  
HIGH CMP UNIFORMITY AND RESISTANCE TO  
LOSS THAT OCCURS IN DICING

CLAIM TO PRIORITY

Assistant Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

November 19, 2003

Sir:

Applicant(s) herewith claim(s) the benefit of the  
priority filing date of the following application(s) for the  
above-entitled U.S. application under the provisions of 35  
U.S.C. § 119 and 37 C.F.R. § 1.55:

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2003-021084	January 29, 2003

Certified copy(ies) of the above-noted application(s)  
is(are) attached hereto.

Respectfully submitted,

YOUNG & THOMPSON



\_\_\_\_\_  
Benoit Castel, Reg. No. 35,041

745 South 23<sup>rd</sup> Street  
Arlington, VA 22202  
Telephone (703) 521-2297

BC/ia

Attachment(s): 1 Certified Copy(ies)

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                    2 0 0 3 年   1 月 2 9 日  
Date of Application:

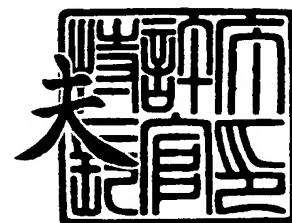
出 願 番 号                    特 願 2 0 0 3 - 0 2 1 0 8 4  
Application Number:  
[ST. 10/C] :                    [ J P 2 0 0 3 - 0 2 1 0 8 4 ]

出      願      人                    N E C エレクトロニクス株式会社  
Applicant(s):

2 0 0 3 年 1 0 月   2 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



出証番号    出証特 2 0 0 3 - 3 0 8 1 5 6 5

【書類名】 特許願  
【整理番号】 74120026  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 21/82

## 【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地  
N E C エレクトロニクス株式会社内

【氏名】 松本 明

## 【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地  
N E C エレクトロニクス株式会社内

【氏名】 深瀬 匡

## 【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地  
N E C エレクトロニクス株式会社内

【氏名】 井口 学

## 【特許出願人】

【識別番号】 302062931  
【氏名又は名称】 N E C エレクトロニクス株式会社

## 【代理人】

【識別番号】 100109313  
【弁理士】  
【氏名又は名称】 机 昌彦  
【電話番号】 03-3454-1111

## 【選任した代理人】

【識別番号】 100085268  
【弁理士】  
【氏名又は名称】 河合 信明  
【電話番号】 03-3454-1111

## 【選任した代理人】

【識別番号】 100111637

## 【弁理士】

【氏名又は名称】 谷澤 靖久

【電話番号】 03-3454-1111

## 【手数料の表示】

【予納台帳番号】 191928

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0215753

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びそのダミーパターンの配置方法

【特許請求の範囲】

【請求項 1】 半導体ウエハー上に形成された集積回路であって、前記集積回路はウエハーから切り出す際の切りしろとなるスクライブ線領域と機能素子を有するチップ内領域に分かれており、前記集積回路の配線層には、前記チップ内領域内に正方形からなるダミーパターンを配置し、前記スクライブ線領域内には矩形のダミーパターンを配置することを特徴とする半導体装置のダミーパターンの配置方法。

【請求項 2】 前記スクライブ線領域のダミーパターンは格子状に配置されていることを特徴とする請求項 1 記載の半導体装置のダミーパターンの配置方法。

【請求項 3】 前記チップ内領域のダミーパターンは桂馬飛び配置されていることを特徴とする請求項 1 記載の半導体装置のダミーパターンの配置方法。

【請求項 4】 半導体ウエハー上に形成された多層配線構造を有する集積回路であって、前記集積回路はウエハーから切り出す際の切りしろとなるスクライブ線領域と機能素子を有するチップ内領域に分かれており、前記多層配線を有する集積回路の各配線層には前記チップ内領域内に正方形からなるダミーパターンを配置し、前記スクライブ線領域内には矩形のダミーパターンを配置することを特徴とする半導体装置のダミーパターンの配置方法。

【請求項 5】 前記スクライブ線領域の各配線層のダミーパターンは格子状に配置されていることを特徴とする請求項 4 記載の半導体装置のダミーパターンの配置方法。

【請求項 6】 前記チップ内領域の各配線層のダミーパターンは桂馬飛び配置されていることを特徴とする請求項 4 記載の半導体装置のダミーパターンの配置方法。

【請求項 7】 前記スクライブ線領域の各配線層のダミーパターンはそれぞれ上下間でビアパターンにより接続されていることを特徴とする前記 1 乃至 6 記載の半導体装置のダミーパターンの配置方法。

【請求項 8】 ウエハーから切り出す際の切りしろとなるスクライブ線領域と機

能素子を有するチップ内領域とを備え、前記チップ内領域内に桂馬飛びに配置されたダミーパターンを有し、前記スクライブ線領域内には格子状に配置されたダミーパターンを有することを特徴とする半導体装置。

【請求項 9】 前記スクライブ線領域内に形成された前記ダミーパターンはビアで結合することを特徴とする請求項 8 記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、本発明は集積回路を有する半導体装置に関し、特にダミーパターンとその配置方法に関する。

【0002】

【従来の技術】

多層配線層を有する半導体装置で、配線層を、溝を金属で埋め込む方法で形成する手法を採用する場合、埋め込んだ金属を溝内部だけに残し、不要な金属を化学的機械的研磨法（Chemical Mechanical Polishing：CMP）で取り除くが、この際配線パターンの面内均一性による研磨速度の違いから生じる最終的な配線膜厚の変動を抑制することが重要な要素の一つとなっている。この目的のために、通常配線層にダミーパターンを配置するという手法が採用されている。ここで述べるダミーパターンとは、配線パターンと同時に、かつ同じ方法で、配線パターンが疎な領域に擬似配線パターンとして形成されるものである。ダミーパターンのデータ上での発生方法は、パターンデータ上全面に一定のダミーパターンを配置した上で、実配線パターンとの論理演算により不要な部分を除去するというものが最も容易な方法として一般的である。このような論理演算法については以下に示す特許文献に記載されている。この際正方形のパターンを図 9 のように桂馬とびで配置する方法が最も高い均一性でダミーパターンが発生できる。

【0003】

【特許文献 1】

特許第 3128205 号

【0004】

**【発明が解決しようとする課題】**

しかしながら、半導体装置をウエハーからチップサイズにダイシングする際に、ダイヤモンドカッター等で切り取る工程が必要となるが、このカッターの切りしろ上のパターンが不均一であると、カッターに対する剛性の変動のためチッピングが生じやすい。特にパターンが疎であると、その部分で一定の剛性が保たれるため、一旦発生した剥がれが大きく広がりチッピング領域がより大きくなる傾向にある。前記したような桂馬とびの配置ではカッターの進行方向に対してダミーパターンの配列がまばらになり、より大きなチッピングが発生する可能性が高い。更に半導体装置の性能向上のために配線層間の絶縁膜に低誘電率膜を部分的に用いることが近年多くなっているが、一般に低誘電率膜は膜自体の剛性は低く、更に従来から用いられている層間絶縁膜であるシリコン酸化膜やシリコン窒化膜との密着性も低く、ダイシングの際のチッピングの問題は更に悪化する傾向にある。

**【0005】**

そこで、例えばダミーパターンを格子状に緻密に配置すればカッターの進行方向に対して均等にダミーパターンが配置しているので、チッピングは小さな領域に抑制される。しかしチップ全面に格子状に配置すると、チップ内でのダミーパターンの発生が不均一となる。これはチップ内の配線パターンが通常のように各層とも一方向（縦、横）に配置されている場合、前記したように不要なパターンを除去する演算時（図10～図12）に、図12に示すようなダミーが残る領域と残らない領域が極端に分かれるためである。

**【0006】**

本発明の主な目的の一つはチップ内には均一にダミーパターンを自動発生させ、かつスクライブ線上ではダイシング時のチッピング耐性に優れダミーパターンを有する半導体装置を提供することにある。

**【0007】****【課題を解決するための手段】**

本発明による半導体装置は、チップ内部には正方形ダミーパターンを桂馬飛び配置し、スクライブ線内には格子状に矩形ダミーパターンを配置することを特徴

としている。更に、本発明によれば、多層配線を有する半導体装置においてスクライブ線内のダミーパターンをビアで結合することを特徴としている。

#### 【0008】

このように、チップ内部とスクライブ線内のダミーパターンの配置方法をかえることで、チップ内には最も均一性の高い方法で、自動的にダミーパターンが発生し、スクライブ線内はダイシング時のカッターによるチップング耐性の高いダミーパターンの配置・構造になっており、チップの歩留まり・信頼性が向上する。

#### 【0009】

##### 【発明の実施の形態】

本発明の前記ならびにその他の目的、特徴、及び効果をより明確にすべく、以下図面を用いて本発明の実施の形態につき詳述する。

#### 【0010】

図1は、本発明の半導体装置の第1の実施例の形態を示す図面である。

#### 【0011】

図1は、本発明の一実施例としての半導体装置、特に配線形成に溝構造をもちいた半導体装置での配線ダミーパターンの配置方法で配置された平面図を示している。シリコンウエハー上に形成されたチップ領域1の外周にはスクライブ線領域2が幅100 $\mu$ mで設けられている。そして、本発明に従って、チップ領域1には一辺が2 $\mu$ mの正方形のダミーパターン3が桂馬飛びに配置されている。

#### 【0012】

具体的には図2に示すように5 $\times$ 5（一辺が1.7 $\mu$ m）の格子のなかにダミーパターンを配置したものを1単位として、これを繰り返したものがチップ全面に配置される。この配置方法では、縦方向、横方向、斜め45度方向にダミーパターンが一様に並ぶことがない。ダミーパターン3は、実施例では、一つの格子の図面上の下辺及び左辺が一致するように配置されている。また、実施例では、5 $\times$ 5の1単位に於いて、中央に位置したダミーパターンから見て、上下左右方向に全て時計回りであって桂馬飛びの配置で4つのダミーパターンが設けられている。なお、1単位において、中央に位置したダミーパターンから見て、全て反時計



回りであって桂馬飛びの配置で4つのダミーパターンが設けられても良い。

#### 【0013】

なお、本実施例では、一つの格子に比べ一つのダミーパターンのサイズが大きいものであるが、ダミーパターンのサイズは適宜変化して設置される。ダミーパターンのサイズは配線レイアウトの密度を考慮して設けられるものであり、例えば、一つのダミーパターンのサイズは、一つの格子と同一のサイズも有りうるし、一つの格子よりも小さいサイズも有りうる。

#### 【0014】

図3乃至5は、本発明のダミーパターンの配置方法を示す図面である。

#### 【0015】

ダミーパターンを自動発生させる際には実パターンとの干渉を避けるため、論理演算を用い、配線実パターン5とダミーパターン3, 4の論理積(AND)を取り(図3)、この配線実パターン5と重なったダミーパターン3, 4を消去し(図4)、更に所望の大きさに達しないダミーパターンも消去する(図5)という方法をとる。

#### 【0016】

実パターンの配線は一般に縦方向、あるいは横方向に平行に配置されるため、仮にダミーパターンの配置が従来例のように格子状である場合、上記したような論理演算を用いると、ある領域ではダミーパターンがない領域が縦あるいは横方向に大面積にわたり発生する可能性がある。このため実パターン、ダミーパターンを含めた配線パターンの配置に不均一が生じ、CMP時の均一性が劣化する。これに対し桂馬飛びの配置は実パターンの配置方向とずれているため、上記の演算方法において一様にダミーパターンが残ることが期待できる。

#### 【0017】

スクライブ線領域2には一辺が2 $\mu$ mの正方形のダミーパターン4が縦・横方向とも間隔2 $\mu$ mで格子状に配置されている。ここでも前記した演算を用い、スクライブ線上の実パターン、例えば露光の目合わせ用パターン又はウエアレベルで製品チェックを行うためにチェックパターンと干渉するダミーパターンを除去する。スクライブ線領域2の全体に占める面積上の割合は小さいので、先に述べたよ

うな配線パターンの不均一が生じても影響は小さい。

#### 【0018】

一方、ダイシングの際にはスクライプ線領域2の中央部の幅約30 $\mu$ mの領域がカッターで削られることになるが、先に述べたようにこの領域ではダミーパターンとスペースが1：1で均等に並んでおり、カッターのサイズ（幅30 $\mu$ m）、速度（回転数36000rpm、ステージ移動速度3mm/sec.）に対してほぼ均一な材料とみなされ、チッピングが起こりにくくなり、仮にチッピングが発生しても、はがれの生じる界面（配線金属と層間絶縁膜）の変化が細かく一定周期（ダミーパターンのピッチ）になっているため、大面積で一定の剛性にならず、大きくはがれてしまうことがない。

#### 【0019】

本構成において、スクライプ線上のダミーパターンは図6に示すように長方形（例えば2 $\mu$ m $\times$ 4 $\mu$ m、ダイシングの方向と長手方向が一致するように配置）としてもよい。

#### 【0020】

図7は、第2の実施例の半導体装置を示す図面である。

#### 【0021】

図7は、第2の実施例として多層配線を用いた半導体装置において、スクライプ線領域の対チッピング耐性を向上させた半導体装置を示す。本実施例では配線層が3層ある半導体装置での適用例を示している。各配線層のダミーパターンの配置や寸法は第1の実施例で示したものと同様である。

#### 【0022】

図7のA-Aでの断面を図8に示す。スクライプ線領域のダミーパターン8はビア9で上下が結合されている。ビアの形成はチップ内の実パターンにおけるビアの形成と同時に同じ方法で行う。図8は配線3層までしか示していないが、最終的な半導体装置では当然この上に絶縁膜層や配線層が加わる。

#### 【0023】

本発明の実施例によれば、上下のダミーパターンがビアで結合されることにより上下間の密着性が向上し、かつ剛性の均一性が増し、ダミーパターンー層間絶

縁膜間の密着性の低さに起因するチップングの拡大が抑制される。

【0024】

【発明の効果】

以上説明したように、本発明によれば、チップ内は正方形のパターンを桂馬飛びに配置し、スクライプ線上には矩形のパターンを格子状に配置するという基本構成に基づき、チップ内での配線パターンの均一性とスクライプ線上での対チップング耐性の向上を両立したダミーパターンが提供される。

【0025】

なお、本発明は上記各実施例に限定されず、本発明の技術思想の範囲内において、各実施例は適宜変更され得ることは明らかである。

【図面の簡単な説明】

【図1】

本発明の第一の実施例を示す半導体装置の平面図。

【図2】

ダミーパターンの桂馬飛び配置の方法を示す平面図。

【図3】

桂馬飛び配置のダミーパターンの自動発生方法の第一段階を示す平面図。

【図4】

桂馬飛び配置のダミーパターンの自動発生方法の第一段階を示す平面図。

【図5】

桂馬飛び配置のダミーパターンの自動発生方法の第一段階を示す平面図。

【図6】

スクライプ線上ダミーパターンのその他の形状を示す平面図。

【図7】

本発明の第二の実施例を示す半導体装置の平面図。

【図8】

本発明の第二の実施例のスクライプ線上のダミーの断面図。

【図9】

従来のダミーパターンの配置方法を示す平面図。

**【図 1 0】**

矩形配置のダミーパターンの自動発生方法の第一段階を示す平面図。

**【図 1 1】**

矩形配置のダミーパターンの自動発生方法の第一段階を示す平面図。

**【図 1 2】**

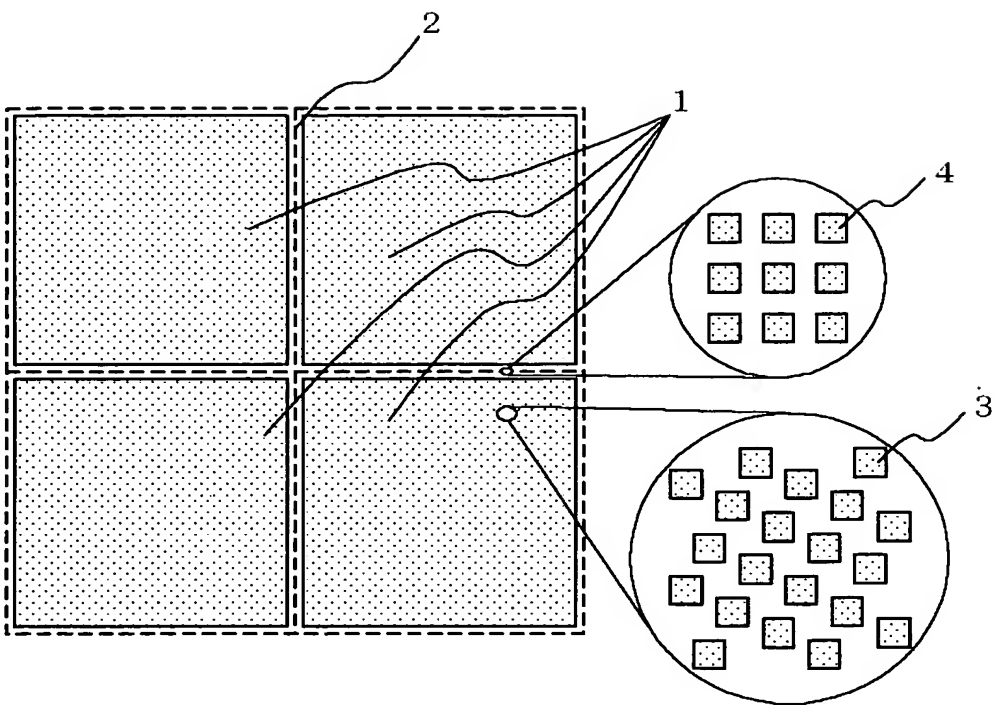
矩形配置のダミーパターンの自動発生方法の第一段階を示す平面図。

**【符号の説明】**

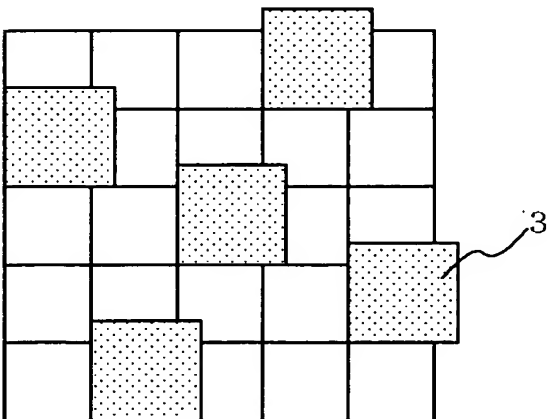
- 1 チップ領域
- 2 スクライブ領域
- 3 ダミーパターン (チップ領域)
- 4 ダミーパターン (スクライブ領域)
- 5 配線実パターン
- 6 ダミーパターン (スクライブ領域)
- 7 ダミーパターン (チップ領域)
- 8 ダミーパターン (スクライブ領域)
- 9 ビア
- 10 半導体 (シリコン) 基板
- 11 第 1 の層間絶縁膜
- 12 第 2 の層間絶縁膜
- 13 第 3 の層間絶縁膜
- 14 第 4 の層間絶縁膜
- 15 第 5 の層間絶縁膜
- 16 第 6 の層間絶縁膜

【書類名】 図面

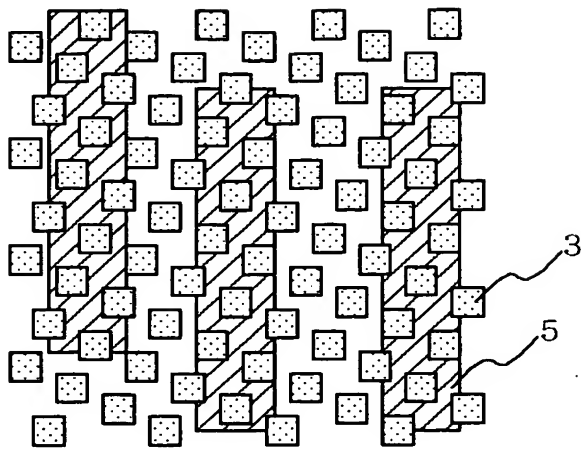
【図 1】



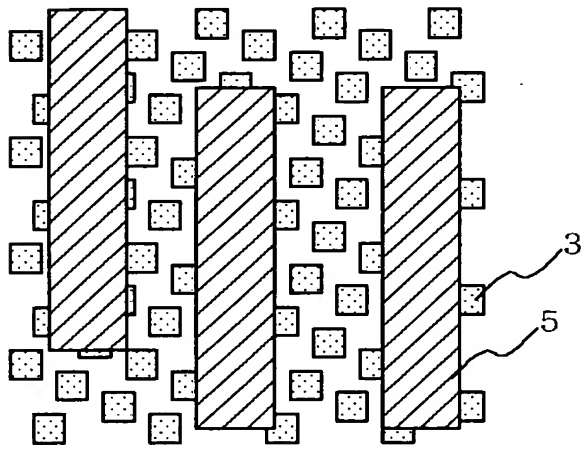
【図 2】



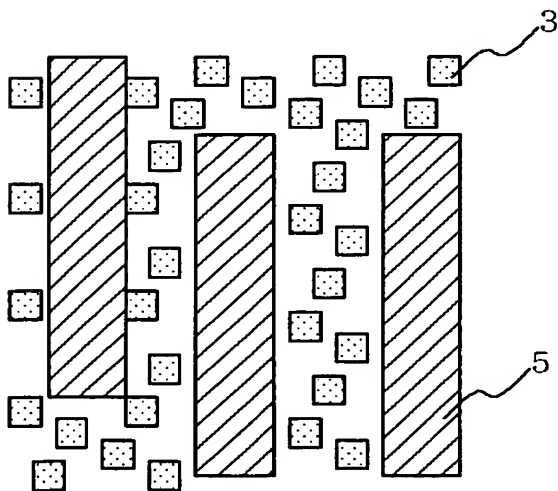
【図 3】



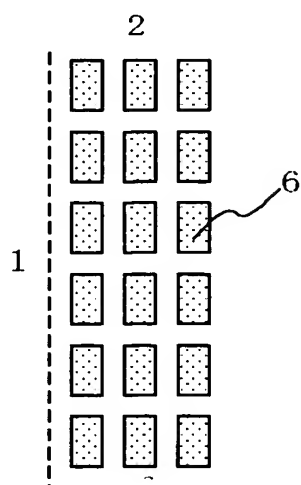
【図 4】



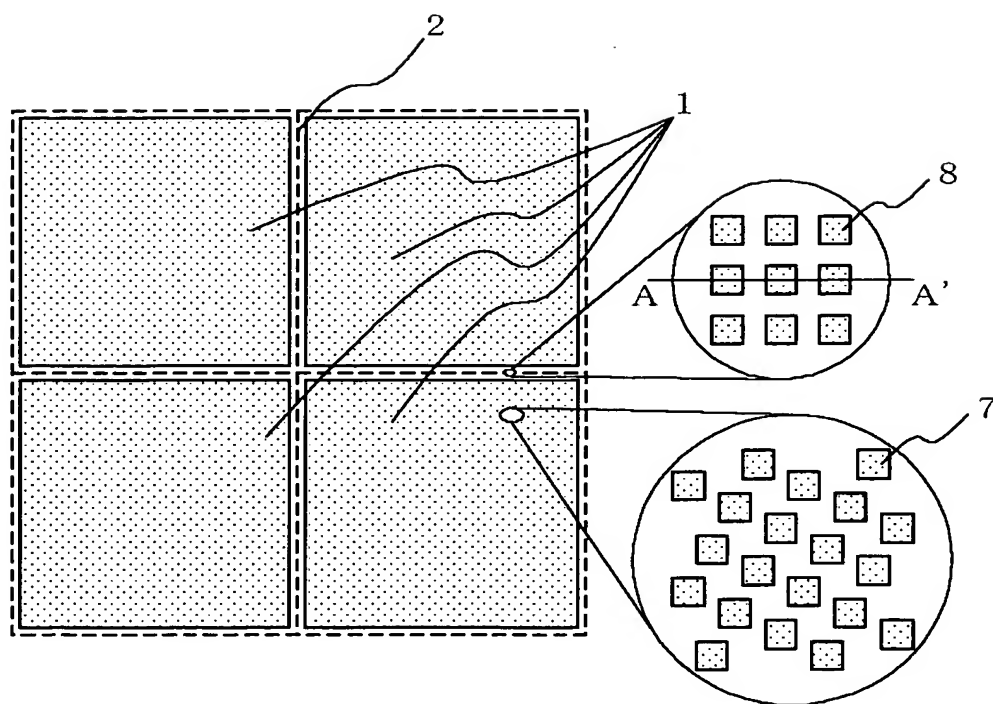
【図 5】



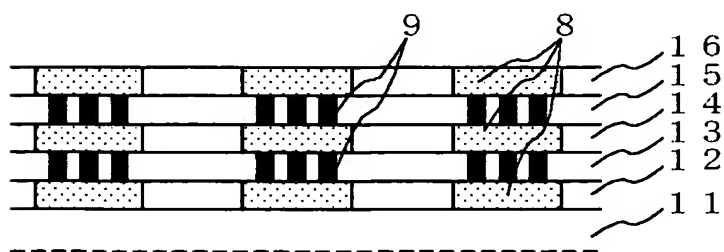
【図 6】



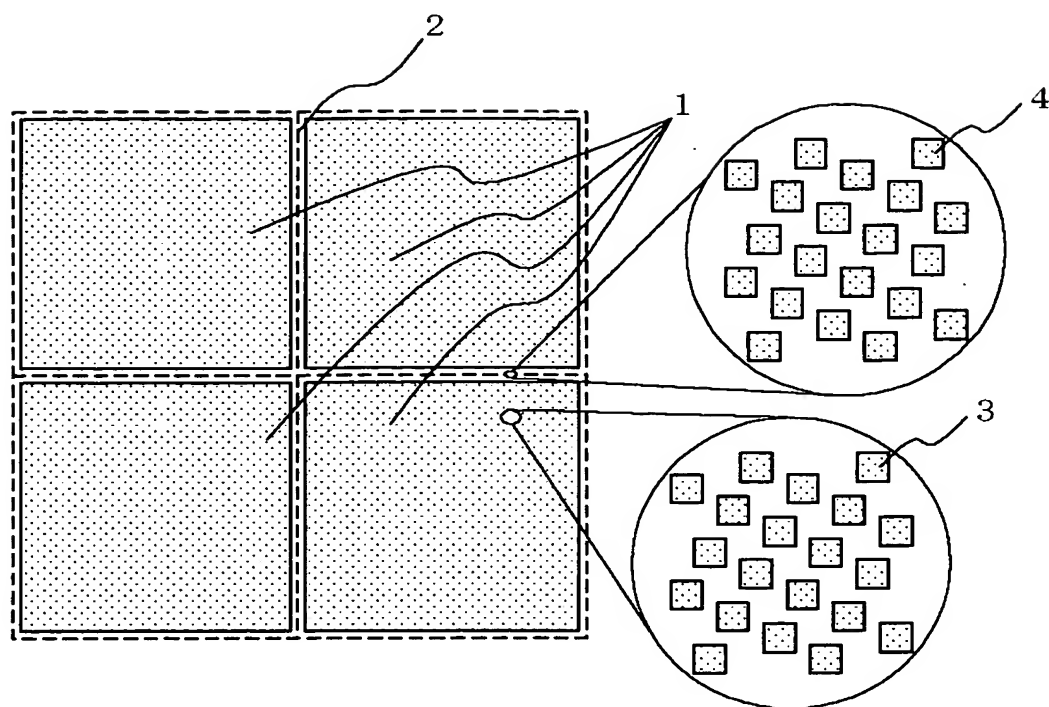
【図 7】



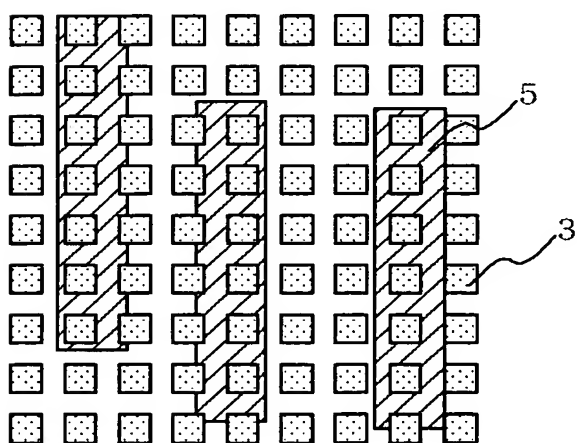
【図 8】



【図 9】

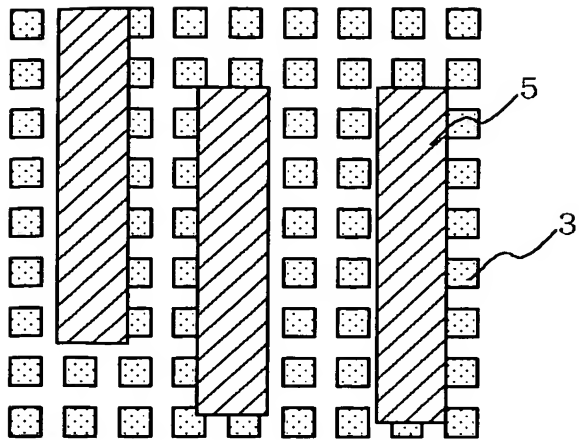


【図 10】



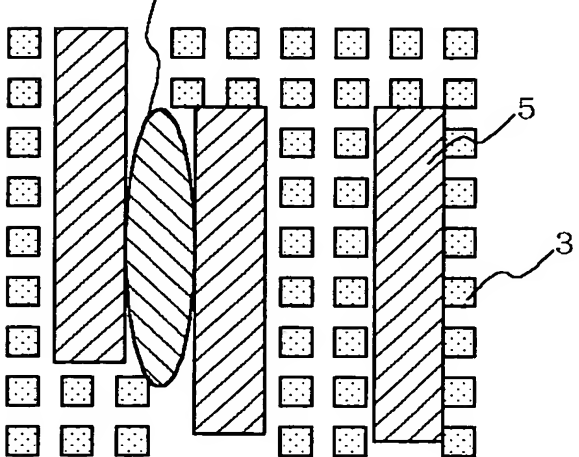


【図 1 1】



【図 1 2】

ダミーパターンが極端に疎な領域



【書類名】 要約書

【要約】

【課題】 チップ内では高い均一性を、スクライプ線では高い対チップング耐性をもった金属の化学的機械的研磨（CMP）用のダミーパターンを提供することにある。

【解決手段】 チップ内部では、自動発生時に高い均一性で発生することができる正方形の桂馬とび配置のダミーパターンを、スクライプ線上には高い対チップング耐性をもった格子状配置の矩形ダミーパターンを形成する。多層配線を有する場合は異なる配線層のスクライプ線上のダミーパターンをビアで結合する。

【選択図】 図 1

## 認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 2 1 0 8 4
受付番号	5 0 3 0 0 1 4 2 7 5 4
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 1 月 3 0 日

### < 認定情報・付加情報 >

【提出日】 平成15年 1月29日

次頁無

特願 2 0 0 3 - 0 2 1 0 8 4

出 願 人 履 歴 情 報

識別番号

[ 3 0 2 0 6 2 9 3 1 ]

1. 変更年月日

2 0 0 2 年 1 1 月 1 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区下沼部 1 7 5 3 番地

氏 名

N E C エレクトロニクス株式会社